

义2

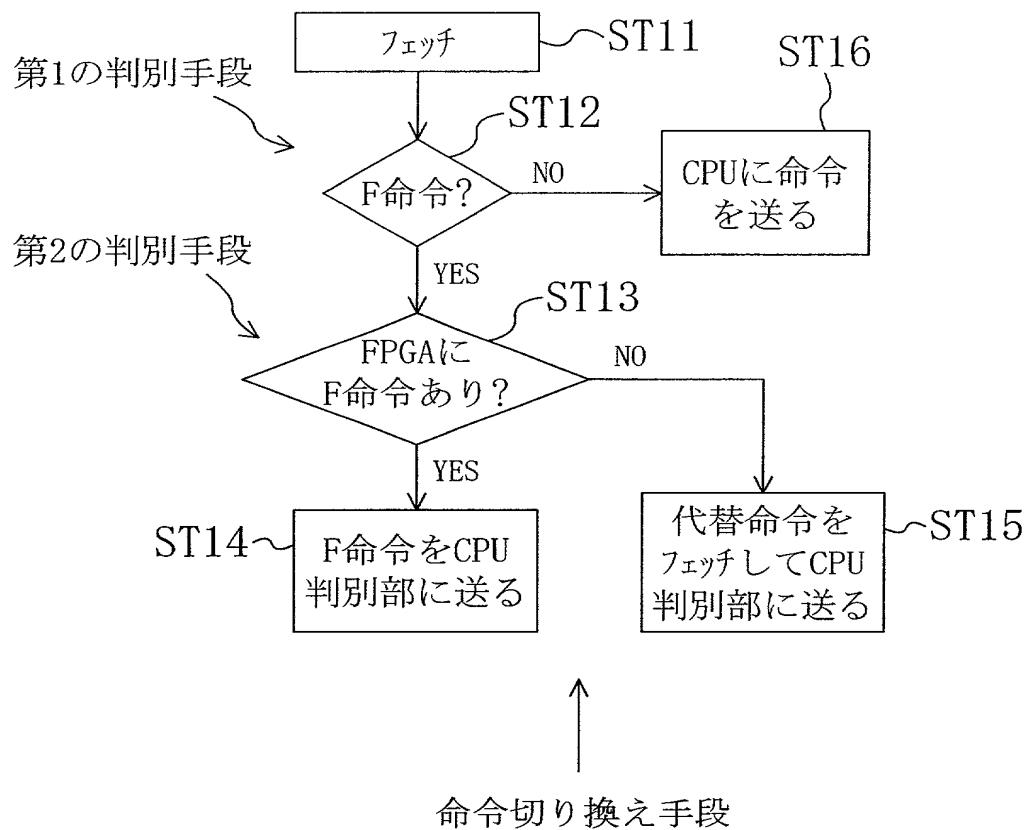
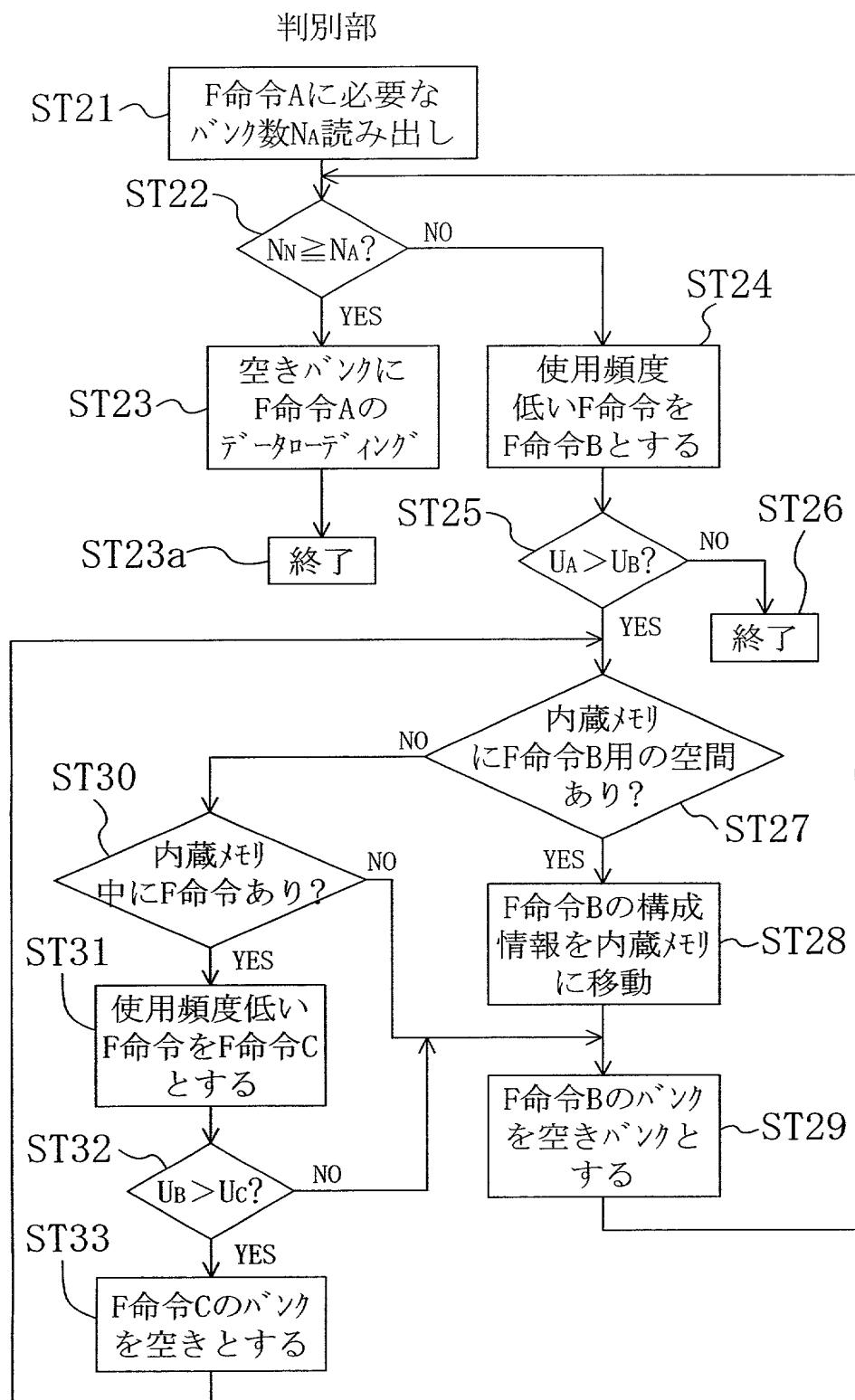


図3



命令列		コメント
ADD	D1, D2	#D1+D2→D2
LSR	D3, D2	#D2 (D3)bit shift-right→D2

図4

バ ^ン ク0 ID=1	バ ^ン ク1 ID=1	バ ^ン ク2 ID=4	バ ^ン ク3 ID=4	バ ^ン ク4 ID=4	バ ^ン ク5 ID=0	バ ^ン ク6 ID=0	バ ^ン ク7 ID=0
---------------------------	---------------------------	---------------------------	---------------------------	---------------------------	---------------------------	---------------------------	---------------------------

図5

(a) FPGA 1 D1, D2, D3 #D1+D2 (D3)bit shift-right→D2

図6

(b) ADD D1, D2 #D1+D2→D2

LSR D3, D2 #D2 (D3)bit shift-right→D2

FPGAend #代替命令終了

F命令と代替命令とが混在した記述

FPGA 0 D1, D2, D3(addr) #D1+D2 (D3)bit shift-right→D2

#F命令を実行する場合は(addr)に飛ぶ

ADD D1, D2 #D1+D2→D2 ここから代替命令

LSR D3, D2 #D2 (D3)bit shift-right→D2 ここまで代替命令

(次の命令) #ここが(addr)で示される番地

図7

ADD D1, D2 #D1+D2→D2
LSR D3, D2 #D2 (D3)bit shift-right→D2

図8

ID	命令列	対応する構成データ	バシク数
----	-----	-----------	------

図9

1	ADD D1, D2 LSR D3, D2	対応する構成データ	1
---	--------------------------	-----------	---

図10

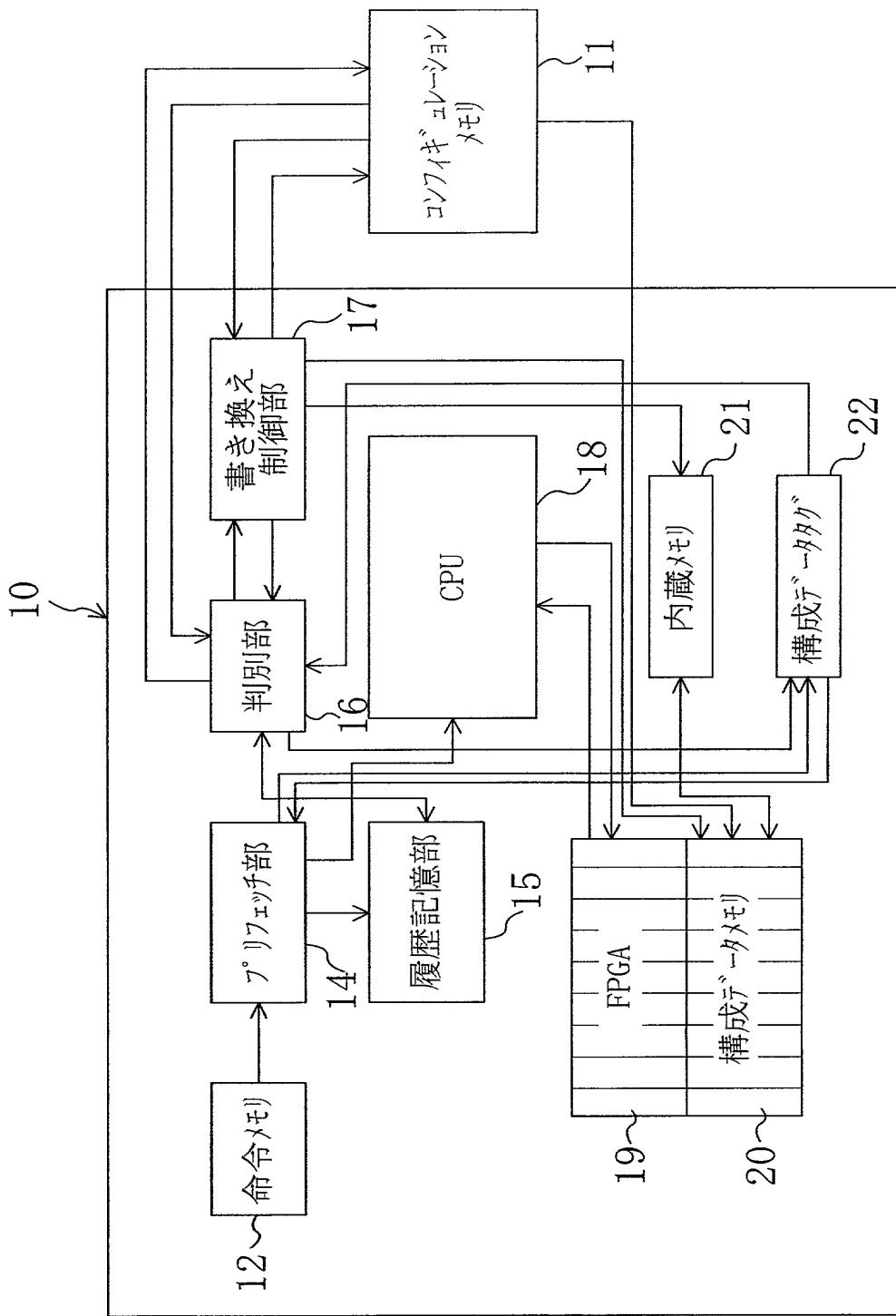


図12

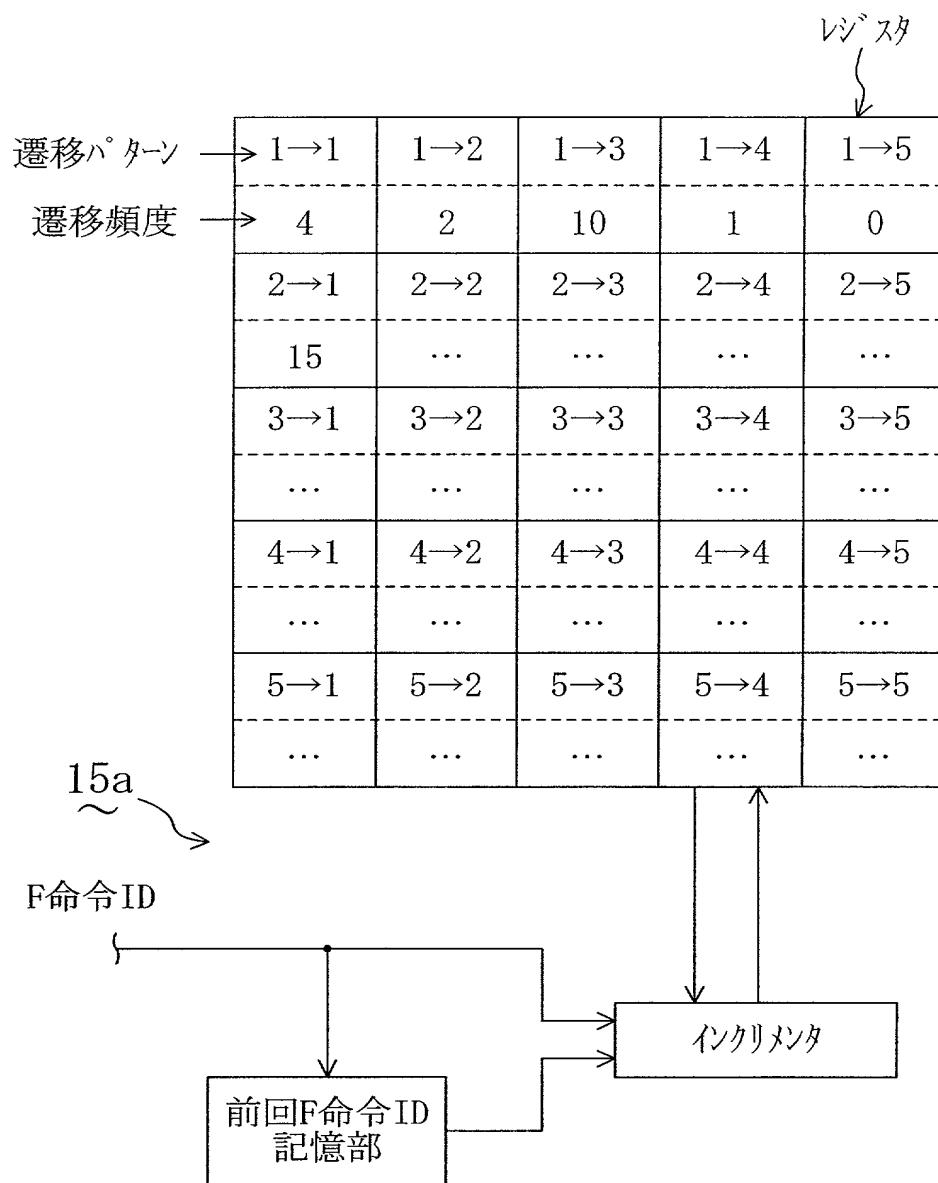


図13

